

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-334705

(43)Date of publication of application : 02.12.1994

(51)Int.Cl.

H04L 29/06  
G06F 13/00

(21)Application number : 05-145500

(71)Applicant : YAMAHA CORP

(22)Date of filing : 25.05.1993

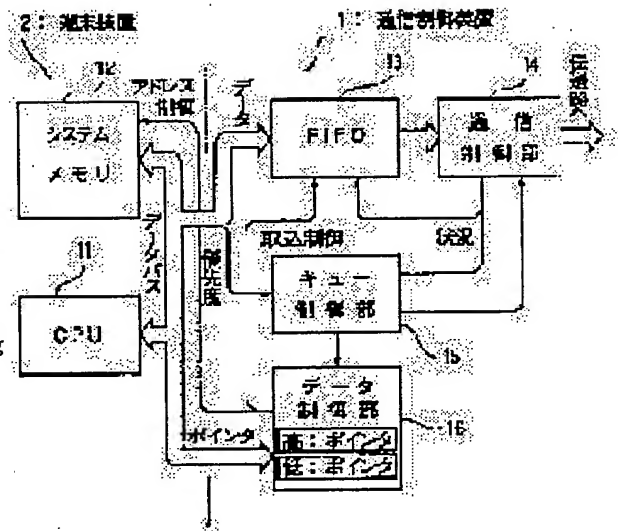
(72)Inventor : OHARA KAZUHIRO

## (54) COMMUNICATION CONTROLLER

## (57)Abstract:

PURPOSE: To enhance the utilizing efficiency of a memory and to reduce the scale of the hardware by reducing an overhead of the software.

CONSTITUTION: Data to be sent are properly transferred from a system memory 12 to an FIFO 13 according to the control of a data control section 16 and sent to a transmission line via a control means control section 14. When a communication request with higher priority than that of past communication requests is received, a queue control section 15 discriminates whether the communication control section 14 is in communication or in the standby state based on the communication state of the communication control section 14 and processes the communication request with high priority while awaiting an interblock of the communication processing in the case of the busy state and aborts information in the standby state in an FIFO 13 under the control of the data control section 16 and processes the communication request with high priority earlier.



## LEGAL STATUS

[Date of request for examination] 22.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3230339

[Date of registration] 14.09.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-334705

(43) 公開日 平成6年(1994)12月2日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 29/06				
G 0 6 F 13/00	3 5 3 R	7368-5B 9371-5K	H 0 4 L 13/ 00	3 0 5 D

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21) 出願番号 特願平5-145500

(22) 出願日 平成5年(1993)5月25日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 大原 一浩

静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

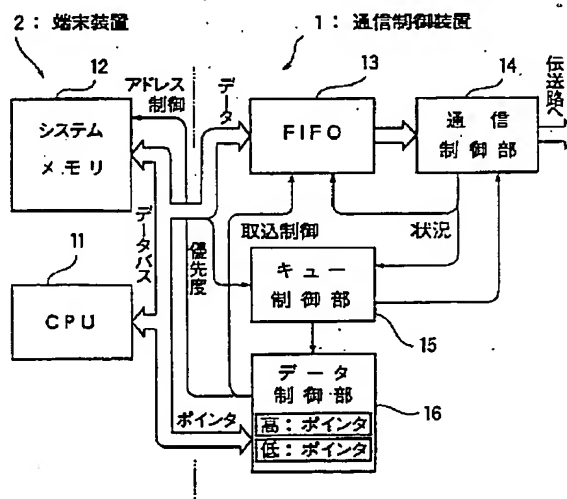
(74) 代理人 弁理士 伊丹 勝

(54) 【発明の名称】 通信制御装置

(57) 【要約】

【目的】 ソフトウェアのオーバーヘッドを低減し、メモリの使用効率を高めると共に、ハードウェアの規模を縮小する。

【構成】 送信すべきデータはデータ制御部16の制御に従って、システムメモリ12からFIFO13に適宜転送され、通信制御部14を介して伝送路に送出される。キュー制御部15は、先行する通信要求よりも高い優先度の通信要求が発生した場合に、通信制御部14の通信状況に基づいて現在通信中であるか待機中であるかを判別し、通信中であればその通信処理の区切りを待つて高優先度の通信要求を処理し、待機中であればFIFO13に待機中の情報をデータ制御部16の制御の下で廃棄して高優先度の通信要求を先に処理する。



## 【特許請求の範囲】

【請求項1】 優先度の異なる複数種類の通信要求に対して前記優先度に応じた通信処理を実行するための通信制御装置において、  
前記各通信要求に従って通信すべき情報の少なくとも一部を格納する単一系統の先入れ先出し記憶手段と、  
この先入れ先出し記憶手段に格納された情報を順次読出して通信処理する通信制御手段と、  
先行する通信要求よりも高い優先度の通信要求が発生した場合に、前記先入れ先出し記憶手段の記憶内容には拘らず前記通信制御手段における通信処理の区切りにおいて前記先入れ先出し記憶手段に高い優先度の通信要求の情報を格納し、前記高い優先度の通信要求を優先的に処理する優先度制御手段とを具備してなることを特徴とする通信制御装置。

【請求項2】 優先度の異なる複数種類の通信要求に対して前記優先度に応じた通信処理を実行するための通信制御装置において、  
前記各通信要求に従って通信すべき情報の少なくとも一部を格納する単一系統の先入れ先出し記憶手段と、  
この先入れ先出し記憶手段に格納された情報を順次読出して通信処理する通信制御手段と、  
先行する通信要求よりも高い優先度の通信要求が発生した場合に、前記通信制御手段の通信状況に基づいて現在通信中であるか待機中であるかを判別し、通信中であればその通信処理の区切りを待って前記高い優先度の通信要求を処理し、待機中であれば前記先入れ先出し記憶手段に待機中の情報を廃棄して前記高い優先度の通信要求を先に処理したのち、前記先行する通信要求を処理する優先度制御手段とを具備してなることを特徴とする通信制御装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、端末装置と伝送路との間に配置され、優先度が異なる複数種類の通信要求に対して、その優先度に応じた通信処理を実行する通信制御装置に関する。

## 【0002】

【従来の技術】一般に通信システムでは、通信の優先度が異なる複数種類の通信要求が混在することが多い。例えば、リアルタイム通信を要求されるシステム等では、リアルタイム通信の要求を最も高い優先度に設定した通信制御が必要となる。従来、このような優先度が異なる通信要求を処理する通信制御装置としては、ソフトウェア処理によって通信要求の性質を判別して優先度付けを行うようにしたものや、予め優先度を異ならせた複数の先入れ先出しメモリ（FIFO）を設け、通信要求の優先度に応じたFIFOにデータを格納すると共に、優先度の高いFIFOに格納されたデータから順番に通信処理を実行していくようにしたシステム（特開平4-34

4550号）等が知られている。

## 【0003】

【発明が解決しようとする課題】しかし、上述した従来の通信制御装置の内、ソフトウェア制御によるものでは、通信速度が速くなると、それに見合った高性能のCPUが必要になり、システムがコストアップになると同時に、ソフトウェア処理のオーバーヘッドが大きくなるという問題がある。一方、複数のFIFOを用いる方式の場合、FIFOは通常、レイアウト面積の大きいスタティックRAM等で構成されることが多いため、複数系統のFIFOを設けることによってLSIにおけるFIFOのスペース占有率が大きくなってしまい、結果的にハードウェアの規模が増大するという問題がある。また、この方式では、優先度別にFIFOを設けているため、特定の優先度の通信要求が集中すると、他のFIFOに十分な空き容量があるにも拘らず、特定のFIFOに情報が集中的に格納されることになる。このため、メモリを効率よく使用することができないという問題もある。

【0004】この発明は、このような問題点に鑑みてなされたもので、ソフトウェアのオーバーヘッドを低減し、メモリの使用効率を向上させると共に、ハードウェアの規模を縮小することができる通信制御装置を提供することを目的とする。

## 【0005】

【課題を解決するための手段】この発明に係る第1の通信制御装置は、優先度の異なる複数種類の通信要求に対して前記優先度に応じた通信処理を実行するための通信制御装置において、前記各通信要求に従って通信すべき情報の少なくとも一部を格納する単一系統の先入れ先出し記憶手段と、この先入れ先出し記憶手段に格納された情報を順次読出して通信処理する通信制御手段と、先行する通信要求よりも高い優先度の通信要求が発生した場合に、前記先入れ先出し記憶手段の記憶内容には拘らず前記通信制御手段における通信処理の区切りにおいて前記先入れ先出し記憶手段に高い優先度の通信要求の情報を格納し、前記高い優先度の通信要求を優先的に処理する優先度制御手段とを具備してなることを特徴とする。

【0006】また、この発明に係る第2の通信制御装置は、優先度の異なる複数種類の通信要求に対して前記優先度に応じた通信処理を実行するための通信制御装置において、前記各通信要求に従って通信すべき情報の少なくとも一部を格納する単一系統の先入れ先出し記憶手段と、この先入れ先出し記憶手段に格納された情報を順次読出して通信処理する通信制御手段と、先行する通信要求よりも高い優先度の通信要求が発生した場合に、前記通信制御手段の通信状況に基づいて現在通信中であるか待機中であるかを判別し、通信中であればその通信処理の区切りを待って前記高い優先度の通信要求を処理し、待機中であれば前記先入れ先出し記憶手段に待機中の情

10

20

30

40

50

報を廃棄して前記高い優先度の通信要求を先に処理したのち、前記先行する通信要求を処理する優先度制御手段とを具備してなることを特徴とする。

【0007】

【作用】この発明の第1の通信制御装置によれば、先行する通信要求よりも高い優先度の通信要求が発生した場合、通信処理の区切りにおいて、先入れ先出し記憶手段に前記高い優先度の通信要求に係る情報を格納し、この高い優先度の通信要求を優先処理する。先入れ先出し記憶手段は単一系統であるから、優先度の高い情報も優先度の低い情報も同一の先入れ先出し記憶手段に記憶される。このため、優先度に応じて余分な記憶領域を確保する必要がなく、メモリの使用効率が増大すると共に、記憶容量も少なく済む。また、高い優先度の通信要求は、先行する通信処理の区切りにおいて処理されるので、不完全なデータが伝送路に送出されるようなことがなく、伝送路にダメージを与えることはない。

【0008】また、この発明の第2の通信制御装置によれば、先行する通信要求の通信が現在行われている場合には、その通信処理の区切りを待ち、先行する通信要求が待機中である場合には、情報を廃棄処理して高い優先度の情報を先に通信処理するようにしているので、伝送路にダメージを与えない限度で最大限優先処理を実行することができる。

【0009】

【実施例】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の実施例に係る通信システムにおける一つの局（ノード）の概略構成を示すブロック図である。図1において、局は、通信制御装置1と端末装置2とにより構成されている。通信制御装置1は、端末装置2と図示しない通信回線との間に介挿されており、端末装置2から与えられる通信要求に対して、その優先度に従った通信制御処理を実行する。優先度制御方式としては、種々の方式が知られているが、ここでは、図2に示すように、複数の局3a、3b、3cがリング状のネットワーク4に接続され、ネットワーク上を巡回するトークンの優先度によってアクセス権を確保するトークンリング方式の優先度制御を行うものとする。

【0010】各局の端末装置2には、CPU11と、通信要求に係るデータ及びコマンド等の情報を記憶するシステムメモリ12とが備えられている。また、各局の通信制御装置1には、先入れ先出しメモリ（FIFO）13と、通信制御部14と、優先度制御手段であるキュー（Queue）制御部15及びデータ制御部16とが備えられている。

【0011】FIFO13は、システムメモリ12上に作成された通信情報を、データ制御部16の制御のもとで一時記憶し、通信制御部14に送り出す機能を有する。通信情報の1単位（パケット）は1kbyteにも及ぶことがあるが、FIFO13には、例えば16byte程度

の小容量のものが使用される。これは、後述するようにFIFO13に待機中のデータを実質的に廃棄することがあるため、容量が大きいと廃棄の際の効率が良くないからである。また、FIFO13はスタティックRAM等で構成されることが多いので、チップ内のFIFOの面積占有率を少なくするためでもある。

【0012】通信制御部14は、ネットワークを監視すると共に、FIFO13に格納された通信情報をネットワークに順次送出する通信処理を実行する。キュー制御部15は、端末装置2からの優先度設定に基づき、通信制御部14を介して伝送路上にFIFO13に待機中のデータのトークン優先度を提示したり、これに合致したトークンを受信したときに通信制御部14に働きかけてFIFO13に待機中のデータを伝送路に出力させるための処理を実行する。また、キュー制御部15は、トークン優先度を調整し、終了トークンを通信制御部14を介して再び伝送路に送出する。このとき、自局の処理内容によっては、引き続き優先度の高い通信で伝送路を利用したいケースもあるし、他局に開放しても良いケースもある。

【0013】データ制御部16は、CPU11によって設定されたポインタに従って、システムメモリ12のポインタに対応したアドレスを生成すると共に、システムメモリ12から通信すべきデータの少なくとも一部を読み出してFIFO13に格納するためのデータ取り込み制御を実行する。内部に設定されるポインタとしては、高優先度のポインタと低優先度のポインタの2種類が備えられ、高優先度の通信要求が発生すると、高優先度のポインタが設定されて、低優先度のポインタは初期値に戻されることがある。この場合、データ制御部16は、FIFO13に待機されている低優先度のデータを廃棄して、高優先度のデータをFIFO13に取り込む。

【0014】次に、このように構成されたシステムの動作を図3のフローチャートに従って説明する。

（1）通常通信の場合

まず、CPU11は、データ制御部16に送信したいデータのシステムメモリ12のポインタ（低優先度）を設定する（S1）。即ち、システムメモリ12上では、図4に示すように、送信すべきデータがフレーム（パケット）単位で記憶され、各フレームの先頭に次のフレームへのポインタが付加されている。従って、データ制御部16に最初に設定されるポインタは、先頭フレームへのポインタとなり、以後、各フレームを読み出す度に次のポインタがセットされ、これらのフレームがチェーンされて伝送されることになる。また、CPU11は、ポインタの設定と同時にキュー制御部15に送信データの優先度を設定する（S1）。

【0015】次に、データ制御部16は、設定されたポインタを使用してシステムメモリ12にアドレスを出力し、データをFIFO13に読み込む（S2）。送信し

たいデータが長い場合には、先頭の一部を読み込む。キュー制御部15は、FIFO13が一杯になると、通信制御部14から送信可能の信号を待つ(S3)。キュー制御部15は、送信が可能となったら通信制御部14に働きかけて、FIFO13に待機中のデータを伝送路へ送信させる(S4)。これと同時にデータ制御部16に働きかけて次のデータをFIFO13に移動させる(S2)。以上の動作を全てのデータが送信されるまで繰り返す。

【0016】(2) 通信途中で高優先度の通信要求が発生した場合

低優先度のフレームが送信されている途中で高優先度の通信要求が発生した場合(S5)には、キュー制御部15にはその優先度が設定され、データ制御部16には高優先度のポインタが設定される(S6)。キュー制御部15は、現在送信中のフレームの送信が完了するまで待ち(S7)、送信完了後に高優先度のデータについて上記S2～S4の処理を実行する。

【0017】(3) 送信前(待機中)に高優先度の通信要求が発生した場合

上記(1)のステップS3で述べたように、送信すべきフレームは伝送路が空くまでFIFO13内に待機されているが、この待機中(フレーム間の区切り)に高優先度の通信要求が発生した場合(S5)には、まず、データ制御部16の高優先度のポインタに設定がなされ、同時にキュー制御部15にも優先度が設定される(S8)。このとき、データ制御部16に設定されている低優先度のポインタは、現在FIFO13に待機中の低優先度のフレームを示すポインタ(初期値)に戻される

(S8)。また、データ制御部16はFIFO13に待機中のデータを破棄し(S9)、高優先度のデータをFIFO13に格納する。以後、ステップS2～S4の処理を繰り返す。そして、高優先度のデータの通信が終了したら、低優先度のポインタに従って、再度低優先度のデータの送信処理を開始する。

【0018】このような処理を実行することにより、図5(a)に示すように、通常の通信時には、伝送路上に送信フレーム(パケット)が連続的に送信される。また、同図(b)に示すように、1フレームの通信途中で高優先度の通信要求があった場合(b)には、そのフレームの通信が終了してから高優先度のフレームが送信さ

＊れるので、フレームの途中でデータが切れるようなことがなく、伝送路に異常を生じさせることがない。更に、同図(c)に示すように、1つのフレームAの送信が終了したのち、次のフレームBが送信される前の待機中に高優先度の通信要求が発生した場合には、高優先度のパケットが優先的に送信されることになる。このように、このシステムでは、FIFO13内のデータの通信処理の区切りにおいて、適宜データの廃棄処理等を行うことにより、高優先度のデータの優先通信処理を割り込ませることができ、FIFOの記憶領域を有効に使用することができると共に、小容量のFIFOで構成することができるという利点がある。

【0019】

【発明の効果】以上述べたように、この発明によれば、先行する通信要求よりも高い優先度の通信要求が発生した場合、通信処理の区切りにおいて、先入れ先出し記憶手段に前記高い優先度の通信要求に係る情報を格納し、この高い優先度の通信要求を優先処理するようにしているので、優先度に応じて余分な記憶領域を確保する必要がなく、メモリの使用効率が向上すると共に、記憶容量も少なく済み、しかも、高い優先度の通信要求は、先行する通信処理の区切りにおいて処理されるので、不完全なデータが伝送路に送出されるようなことがなく、伝送路にダメージを与えることはない。

【図面の簡単な説明】

【図1】 この発明の実施例に係る通信制御装置のブロック図である。

【図2】 同通信制御装置を使用した通信ネットワークの一例を示す図である。

【図3】 同通信制御装置の動作を説明するためのフローチャートである。

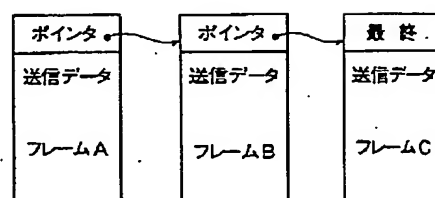
【図4】 送信データのシステムメモリ上の構造を示す図である。

【図5】 この実施例のシステムを使用した優先度制御通信の様子を示すタイムチャートである。

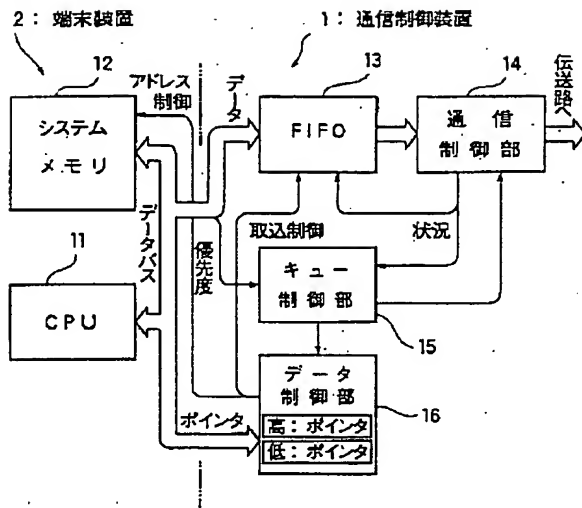
【符号の説明】

1…通信制御装置、2…端末装置、3a～3c…局、11…CPU、12…システムメモリ、13…FIFO、14…通信制御部、15…キュー制御部、16…データ制御部。

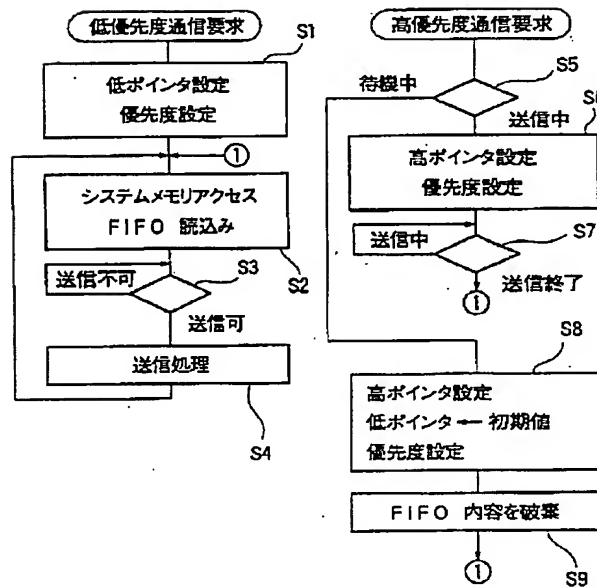
【図4】



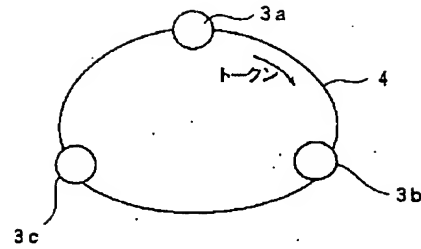
【図1】



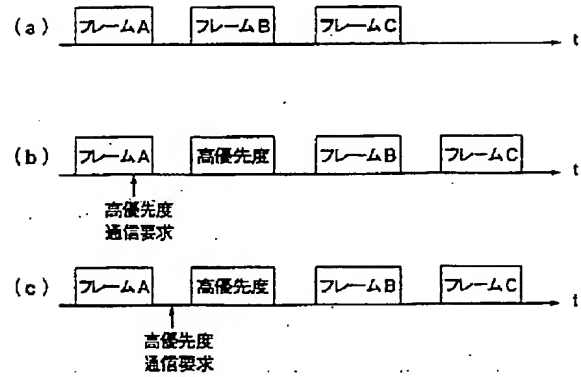
【図3】



【図2】



【図5】



THIS PAGE BLANK (USPTO)